

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2004104515 A

(43) Date of publication of application: 02.04.04

(51) Int. Cl

H03D 7/14

(21) Application number: 2002264385

(22) Date of filing: 10.09.02

(71) Applicant: SHARP CORP

(72) Inventor: KOYA MASATO
MIYAMOTO MASAYUKI
SUYAMA NAOHIRO
YAMANOUE MASAFUMI
MITSUNAKA TAKESHI
AKIYAMA TOSHIKUMI

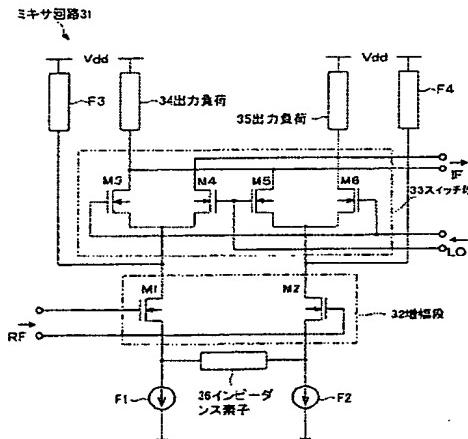
(54) MIXER CIRCUIT

COPYRIGHT: (C)2004,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To restrict an occupied area of the circuit, improve a gain, and take out the maximum performance of a mixer by feeding a bypass current of constant current power supplies F3, F4 between the amplifying stage 32 and the switch stage, and controlling an operation current independently in a gilbert cell type mixer circuit 31, in which constant current power supplies F1, F2, an amplifying stage 32, a switch stage 33, and an output load 34 are connected in series, for mixing a RF signal and an LO signal and generating an IF signal.

SOLUTION: The bypass current is so set that an output 3rd intercept point OIP3 or a difference value between the value of OIP3 and a noise factor becomes a maximum. Then, without lowering an input 3rd intercept point IIP3 greatly, a conversion voltage gain can be improved, and a decrease in noise factor NF can be restricted. The original performance of the mixer can be fully demonstrated, and superior design with efficiency can be carried out.



(51) Int.Cl.⁷

H03D 7/14

F 1

H03D 7/14

テーマコード (参考)

C

審査請求 未請求 請求項の数 13 O L (全 27 頁)

(21) 出願番号 特願2002-264385 (P2002-264385)
 (22) 出願日 平成14年9月10日 (2002. 9. 10)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100080034
 弁理士 原 謙三
 (74) 代理人 100113701
 弁理士 木島 隆一
 (74) 代理人 100115026
 弁理士 圓谷 徹
 (74) 代理人 100116241
 弁理士 金子 一郎
 (72) 発明者 幸谷 真人
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

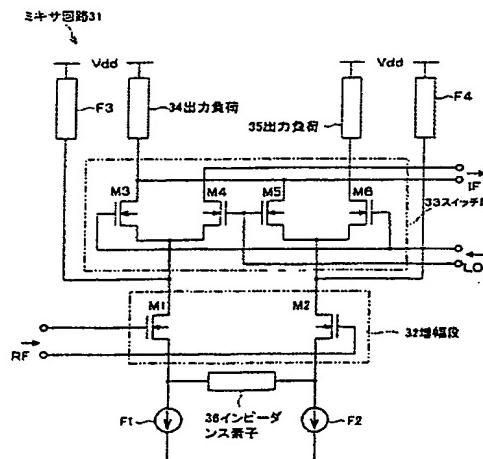
最終頁に続く

(54) 【発明の名称】 ミキサ回路

(57) 【要約】

【課題】 電源ライン間に定電流源F1, F2、増幅段32、スイッチ段33および出力負荷34が直列に接続されて構成され、RF信号とLO信号とを混合してIF信号を出力するギルバートセル型のミキサ回路31で、さらに前記増幅段32とスイッチ段との間に定電流源F3, F4からバイパス電流を供給し、動作電流を独立に制御することによって、回路の占有面積を抑えつつ、ゲインの向上を図るためにしたものにおいて、ミキサの性能を最大限に引出す。

【解決手段】 前記バイパス電流の値を、出力3次インターセプトポイントOIP3または前記OIP3と雑音指數NFとの差の値が最大となるように設定する。これによって、入力3次インターセプトポイントIIP3を大きく低下させることなく、変換電圧利得Gainを改善し、雑音指數NFの低下を抑えることができ、ミキサ本来の性能を充分に發揮させ、効率の良い設計を行うことができる。



イレベルの電源に接続されるとともに、出力信号のバランス出力端となり、前記第1および第2のトランジスタのソースは、それぞれ第1および第2の定電流源を介してローレベルの電源に接続されており、また前記第1および第2のトランジスタのソース間にはインピーダンス素子が接続され、前記第1および第2のトランジスタのドレイン、すなわち増幅段とスイッチ段との接続部に、第3および第4の定電流源をそれぞれ介して、ハイレベルの電源からバイパス電流が供給されることを特徴とする請求項1または2記載のミキサ回路。

【請求項6】

前記第3および第4の定電流源を、トランジスタで構成することを特徴とする請求項5記載のミキサ回路。

【請求項7】

前記トランジスタを、カスコード接続で構成することを特徴とする請求項6記載のミキサ回路。

【請求項8】

半導体集積回路上で、前記スイッチ段を構成する第3～第6のトランジスタのチャネル幅をそれぞれ最小単位に

20並列分割し、入れ子状に連鎖結合した構造に形成することを特徴とする請求項5記載のミキサ回路。

【請求項9】

前記インピーダンス素子を、直列に等分割されて、前記第1および第2のトランジスタに対して幾何学的に対称配置されるインダクタとすることを特徴とする請求項5記載のミキサ回路。

【請求項10】

前記第1の定電流源と、第2の定電流源との電流値を略等しく設定することを特徴とする請求項5記載のミキサ回路。

30【請求項11】

前記第1および第2の定電流源を第7および第8のトランジスタで構成し、該第7および第8のトランジスタを、半導体集積回路上で、対応する第1および第2のトランジスタに対して、開脚状に折り返して配置することを特徴とする請求項5記載のミキサ回路。

【請求項12】

前記第1および第2のトランジスタのゲートに接続される前記第1の信号の一対の信号線を、他方の第2および第1のトランジスタのドレイン配線上に積層配置することを特徴とする請求項5記載のミキサ回路。

【請求項13】

前記増幅段が、第1のトランジスタから成り、前記スイッチ段が、差動対を構成する一対の第2および第3のトランジスタから成るシングルバランス形のミキサ回路であり、

前記第1の信号のシングル入力が前記第1のトランジスタのゲートに与えられ、前記第2の信号のバランス入力が前記第2および第3のトランジスタのゲートに与えられ、前記第2および第3のトランジスタのドレインは、それぞれ出力負荷を介してハ

50

【特許請求の範囲】

【請求項1】

電源ライン間に第1の電流源、増幅段、スイッチ段および出力負荷が直列に接続され、前記増幅段およびスイッチ段に入力される第1および第2の信号を混合した出力を前記スイッチ段と出力負荷との間から出力するようにしたミキサ回路において、

前記増幅段とスイッチ段との間にバイス電流を供給することによって、該増幅段とスイッチ段との動作電流を個別に設定する第2の電流源を備え、

前記第2の電流源によるバイス電流の値を、出力3次インターセプトポイントOIP3が最大となるように設定することを特徴とするミキサ回路。

【請求項2】

電源ライン間に第1の電流源、増幅段、スイッチ段および出力負荷が直列に接続され、前記増幅段およびスイッチ段に入力される第1および第2の信号を混合した出力を前記スイッチ段と出力負荷との間から出力するようにしたミキサ回路において、

前記増幅段とスイッチ段との間にバイス電流を供給することによって、該増幅段とスイッチ段との動作電流を個別に設定する第2の電流源を備え、

前記第2の電流源によるバイス電流の値を、出力3次インターセプトポイントOIP3と雑音指数NFとの差の値が最大となるように設定することを特徴とするミキサ回路。

【請求項3】

前記第2の信号の強度を検出し、該第2の信号の強度の変化に対して前記スイッチ段の電流切替え動作が確実になるように前記第2の電流源によるバイス電流の値を制御する制御手段をさらに備えることを特徴とする請求項1または2記載のミキサ回路。

【請求項4】

前記スイッチ段を構成するトランジスタによる電流切替えスイッチ動作において、OFF動作が完全となる振幅電圧と前記第2の信号の振幅を略等しく設定することを特徴とする請求項1または2記載のミキサ回路。

【請求項5】

前記増幅段が、差動対を構成する一対の第1および第2のトランジスタから成り、前記スイッチ段が、差動対を構成する2対の第3および第4のトランジスタと第5および第6のトランジスタとが交差接続されて成るダブルバランス形のミキサ回路であり、

前記第1の信号のバランス入力が前記第1および第2のトランジスタのゲートにそれぞれ与えられ、前記第2の信号のバランス入力が前記第3および第6のトランジスタのゲートならびに前記第4および第5のトランジスタのゲートにそれぞれ与えられ、前記第3および第5のトランジスタのドレインならびに前記第4および第6のトランジスタのドレインは、それぞれ出力負荷を介してハ

それぞれ出力負荷を介してハイレベルの電源に接続されるとともに、出力信号のバランス出力端となり、前記第1のトランジスタのソースは、第1の定電流源を介してローレベルの電源に接続されており、前記第1のトランジスタのドレイン、すなわち増幅段とスイッチ段との接続部に、第2の定電流源を介して、ハイレベルの電源からバイパス電流が供給されることを特徴とする請求項1または2記載のミキサ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、スーパーへテロダイン方式の受信装置などで好適に実施されるミキサ回路に関する。

【0002】

【従来の技術】

前記スーパーへテロダイン方式の受信装置などでは、ミキサ回路は、高周波信号RFにローカル信号LOを乗算して周波数変換し、乗算結果として中間周波信号IFを生成する。そして、ケーブルテレビチューナ等に用いられる広帯域の受信装置では、チャンネル間の相互干渉を防ぐために、線形性の高い（歪の小さい）ミキサが必要となる。さらに、高周波帯で信号を増幅するには、コストのかかるアンプを何段も用意する必要がある。このように線形性を確保しつつ、変換電圧利得を向上できるようなミキサ回路を半導体集積回路で実現できるミキサ回路として、いわゆるギルバートセルを用いたミキサ回路が挙げられる。

【0003】

そのギルバートセルを用いたミキサ回路の典型的な従来技術は、実開平5-59938号で示される。図16は、その従来技術によるミキサ回路1のブロック図である。前記ギルバートセル形ミキサ回路とは、一対のNMOSトランジスタm1, m2から成る増幅段2と、2対のNMOSトランジスタm3, m4; m5, m6が交差接続されて成る前記スイッチ段3とを直列に接続した回路である。この図16のミキサ回路1では、高周波信号RFおよびローカル信号LOの両方が、バランス入力（入力端子が2個あり、その入力端子間に信号を加えるもの）であり、ダブルバランス形ミキサと呼ばれている。ここで、参照符4は定電流源、5, 6は出力負荷、reは発振防止用の抵抗である。

【0004】

また、他の従来技術として、特開2001-111354号公報が挙げられる。図17は、その従来技術によるミキサ回路11のブロック図である。前述の図16のミキサ回路1に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。このミキサ回路11では、前記増幅段2のトランジスタm1, m2のソースに電流源を意味するNMOSトランジスタm7, m8をそれぞれ接続するとともに、トランジスタm1, m2のソ

ース間、つまりトランジスタm7, m8のドレン間にはインダクタ13を接続した構成が示されている。前記出力負荷5, 6には、インダクタ11, 12が対応している。

【0005】

さらにまた、他の従来技術の特開2001-127555号公報には、差動対に入力するバランス入力の高周波信号RFの入力端子を、同差動対の対面に相当するトランジスタのドレン部に、各々キャパシタ等を交差接続することによって、歪を改善する構成が示されている。

【0006】

上述のように構成される従来のミキサ回路において、変換電圧利得および線形性を向上させる手法の1つに、動作電流の増加を挙げることができる。しかしながら、上述のような構成のままでは、前記動作電流の増加に伴い、電源電圧Vddが著しく不足する傾向があり、増幅段2のトランジスタm1, m2が飽和領域で動作できなくなる。このため、スイッチ段3のトランジスタm3～m6のサイズや電源電圧Vddが増加し、さらには電流定格を満たすようにインダクタのメタル幅を広げる必要があり、ミキサ回路全体の占有面積がさらに増大するという問題がある。マイクロ波集積回路においては、ウェハあたりのチップの取れ数がコストに大きく影響するので、このようにチップ面積が増大すれば、そのままコストアップにつながってしまう。

【0007】

また、上述のような従来のミキサ回路では、該ミキサ回路に入力されるローカル信号LOの強度が低下すると、スイッチ段3におけるスイッチング動作性能(ON/OFFの判定性能)が劣化し、変換電圧利得の性能が著しく劣化し、これを補償する手段を与えなければ、ミキサ回路は容易に性能限界に到達してしまうという問題がある。

【0008】

そこで、このような問題を解決するための他の従来技術として、特開2000-59147号公報が提案された。図18は、その従来技術によるミキサ回路21のブロック図である。前述の図16, 17のミキサ回路1, 21に対応する部分には同一の参照符号を付して示す。このミキサ回路21では、差動対を構成するトランジスタq1, q2; q3, q4; q5, q6がバイポーラ型のトランジスタで構成されている。

【0009】

このミキサ回路21も、一対のトランジスタq1, q2から成る前記増幅段2と、2対のトランジスタq3, q4; q5, q6が交差接続されて成る前記スイッチ段3とを直列に接続したダブルバランス形の回路である。したがって、高周波信号RFのバランス入力がトランジスタq1, q2のベースにそれぞれ与えられ、ローカル信号LOのバランス入力がトランジスタq3, q6のベ-

スおよびトランジスタq4, q5のベースにそれぞれ与えられる。トランジスタq3, q5のコレクタおよびトランジスタq4, q6のコレクタは出力負荷5, 6を通してハイレベルの電源にそれぞれ接続されるとともに、中間周波信号IFのバランス出力端となる。前記トランジスタq1, q2のエミッタは、それぞれ第1および第2の定電流源f1, f2を介してローレベルの電源に接続されており、また前記トランジスタq1, q2のエミッタ間には前記線形性の向上および変換電圧利得の低下を回避するために、インピーダンス素子7が接続されている。以上の構成は、図17で示すミキサ回路11と同様である。

【0010】

注目すべきは、このミキサ回路21では、第3および第4の定電流源8, 9をそれぞれ介して、前記トランジスタq1, q2のコレクタ、すなわち增幅段2とスイッチ段3との接続部に、ハイレベルの電源からバイパス電流が供給されることである。前述のミキサ回路1, 21のようにバイパス電流がない状態では、スイッチ段3におけるスイッチング動作の性能は、ローカル信号LOの強度に依存し、該強度が大きくなるとスイッチ段33の電流切替え動作が明確になり、特にOFF領域の動作が良好になり、変換電圧利得Gainが向上する。しかし、常に充分なローカル信号LOの強度が得られるとは限らないので、このミキサ回路21のように構成することで、増幅段2とスイッチ段3との動作電流を独立に制御し、充分なローカル信号LOの強度が得られないためにスイッチ段3が少ない動作電流で確実にOFF動作を実現するようにしても、増幅段2のトランジスタq1, q2を飽和領域で動作させることができ、前記回路の占有面積を抑え、またスイッチ段3におけるスイッチング動作性能、したがって変換電圧利得Gainの性能の向上が図られている。

【0011】

【特許文献1】

実開平5-59938号公報（公開日 平成5年8月6日）

【0012】

【特許文献2】

特開2001-111354号公報（公開日 平成13年4月20日）

【0013】

【特許文献3】

特開2001-127555号公報（公開日 平成13年5月11日）

【0014】

【特許文献4】

特開2000-59147号公報（公開日 平成12年2月25日）

【0015】

【発明が解決しようとする課題】

上述のように構成される特開2000-59147号では、増幅段2とスイッチ段3との動作電流をそれぞれ独立に設定することができ、上述のような効果を得ることが可能になるけれども、バイパス電流量が適切に選ばれているとは言えず、ミキサの性能を最大限に引出すことができないという問題がある。この点について、以下に詳述する。

【0016】

- 10 この従来技術では、歪みと雑音とが最小となるバイパス電流量を求めるために、0035段落に記載されているように、増幅段2のバイアス電流量、すなわち定電流源f1, f2の電流量を5mAとして、スイッチ段3（ギルバートセル対）の動作電流量、すなわちトランジスタq3, q4の電流量およびトランジスタq5, q6の電流量を1～5mAで変化させて、したがって前記定電流源8, 9を介するバイパス電流量を4～0mAで変化させて、図3で示す変換電圧利得Gainおよび雑音指数NFの特性、ならびに図4で示す入力3次インターセプトポイントIIP3および雑音指数NFの特性を求めている。

【0017】

- ここで、一般に、ミキサ回路において、入力電力を増加させると、出力電力はそれに比例して増加する。そこで、入力を横軸、出力を縦軸にdBでプロットすると、1次成分は傾き1の直線になる。一方、3次の高調波による歪を表すIM3（3次相互変調歪）という出力も現れ、これは入力に対し3乗比例するので、傾き3の直線になる。これら両者の直線を延長した交点を前記入力3次相互変調歪インターセプトポイントと呼び、その交点の入力電力はIIP3と呼ばれ、出力電力はOIP3と呼ばれる。

【0018】

- なお、前記IM3とは、周波数の近い2つの信号（周波数fa, fb）を入力したときに、3次歪によって2fa-fbと2fa+fbの周波数に現れる出力である。たとえば、アップコンバートするミキサ回路で、前記高周波信号RFとして60MHzと66MHzとを入力し、ローカル信号LOとして1122MHzを入力すると、得られる中間周波信号IFは、LO-RFとLO+RFとに現れ、通常、LO-RFをモニタするので、 $1122-60=1062\text{MHz}$ と、 $1122-66=1056\text{MHz}$ となる。これに対して、妨害波は、前記3次歪によって $2\times60-66=54\text{MHz}$ と、 $2\times66-60=72\text{MHz}$ とに現れ、それによる歪み成分は、 $1122-54=1068\text{MHz}$ と、 $1122-72=1050\text{MHz}$ とにそれぞれ現れる。

【0019】

- そして、前記特開2000-59147号の結果では、上記の動作電流の範囲で、第0037段落で示されるよ

うに、変換電圧利得G ainを0.4dB以内の範囲で略一定な値を得て、従来のミキサと同じ値を実現しつつ、スイッチ段3(ギルバートセル対)の動作電流値を2mAとすると、第0038段落で示されるように、雑音指数NFに1.6dBの改善、入力3次インターセプトポイントIIP3に1.5dBmの改善効果が得られたと記載されている。

【0020】

ところが、この従来技術は、第0039段落で示されるように、雑音指数NFおよび入力3次インターセプトポイントIIP3を改善することを目的としている。これは、同公報の図3および図4で示すように雑音指数NFが動作電流の増加に伴って単調に増加し、また図3で示すように変換電圧利得G ainの変化量が極めて少なかつたので、入力3次インターセプトポイントIIP3を改善することで、ミキサ本来の性能が発揮できるものと判断したためと思われる。

【0021】

また、この従来技術では、前記図18で示すようなバイポーラトランジスタの構成でシミュレーションしており、同公報の図3と図4などで示すように、変換電圧利得G ainがピークとなる動作電流量と入力3次インターセプトポイントIIP3がピークとなる動作電流量とが偶然一致しているに過ぎない。したがって、実際にMOSトランジスタで設計し、要求スペックを満たすべく、動作電流量を増加させると、変換電圧利得G ainの変化量は決して一定とは言えず、該変換電圧利得G ainがピークとなる動作電流量と入力3次インターセプトポイントIIP3がピークとなる動作電流量とは、必ずしも一致しない。したがって、上述のように入力3次インターセプトポイントIIP3のピークを優先することは、多少なりとも変換電圧利得G ainを犠牲にすることになり、それに伴って雑音指数NFが低下してしまうので、前述のようにミキサの性能を最大限に引出していくとは言えない。

【0022】

本発明の目的は、性能を最大限に引出すことができるミキサ回路を提供することである。

【0023】

【課題を解決するための手段】

本発明のミキサ回路は、電源ライン間に第1の電流源、増幅段、スイッチ段および出力負荷が直列に接続され、前記増幅段およびスイッチ段に入力される第1および第2の信号を混合した出力を前記スイッチ段と出力負荷との間から出力するようにしたミキサ回路において、前記増幅段とスイッチ段との間にバイス電流を供給することによって、該増幅段とスイッチ段との動作電流を個別に設定する第2の電流源を備え、前記第2の電流源によるバイス電流の値を、出力3次インターセプトポイントOIP3が最大となるように設定することを特徴とする。

る。

【0024】

上記の構成によれば、スーパーへテロダイン方式の受信装置などに用いられ、第1および第2の信号を混合して出力するミキサ回路において、電源ライン間に第1の電流源、増幅段、スイッチ段および出力負荷が直列に接続されて構成されるいわゆるギルバートセル型のミキサ回路を構成するにあたって、先ず第2の電流源を設けて、増幅段とスイッチ段との間にバイパス電流を供給し、該增幅段とスイッチ段との動作電流を独立に制御する。これによって、スイッチ段に入力される第2の信号に充分な強度が得られないために該スイッチ段が少ない動作電流で確実にOIPF動作を実現するようにもしても、増幅段のトランジスタを飽和領域で動作させることができ、動作電流の増加に伴う各トランジスタサイズの増加という問題を回避でき、前記回路の占有面積を抑え、またスイッチ段におけるスイッチング動作性能、したがって変換電圧利得G ainの性能の向上を図ることができる。さらに、VCOバッファの寄生負荷を低減することにも貢献し、該ミキサ回路を備えたチューナチップ全体としての低消費電力化に効果を得ることができる。

【0025】

そして、次に前記第2の電流源によるバイパス電流の値を、出力3次インターセプトポイントOIP3が最大となるように設定する。この出力3次インターセプトポイントOIP3は、必ずしも変換電圧利得G ainのピークと入力3次インターセプトポイントIIP3のピークとが一致するとは限らないので、これらの変換電圧利得G ainと入力3次インターセプトポイントIIP3とをバランス良く設定できる指標として新たに導入するものである。これによって、入力3次インターセプトポイントIIP3を大きく低下させることなく、変換電圧利得G ainを改善し、雑音指数NFの低下を抑えることができる。これによって、ミキサ本来の性能を充分に発揮させ、効率の良い設計を行うことができる。

【0026】

また、本発明のミキサ回路は、電源ライン間に第1の電流源、増幅段、スイッチ段および出力負荷が直列に接続され、前記増幅段およびスイッチ段に入力される第1および第2の信号を混合した出力を前記スイッチ段と出力負荷との間から出力するようにしたミキサ回路において、前記増幅段とスイッチ段との間にバイス電流を供給することによって、該増幅段とスイッチ段との動作電流を個別に設定する第2の電流源を備え、前記第2の電流源によるバイス電流の値を、出力3次インターセプトポイントOIP3と雑音指数NFとの差の値が最大となるように設定することを特徴とする。

【0027】

上記の構成によれば、前述のようにいわゆるギルバートセル型のミキサ回路において、第2の電流源を設けて、

増幅段とスイッチ段との間にバイパス電流を供給し、該增幅段とスイッチ段との動作電流を独立に制御する。これによって、スイッチ段に入力される第2の信号に充分な強度が得られないために該スイッチ段が少ない動作電流で確実にO F F動作を実現するようにも、増幅段のトランジスタを飽和領域で動作させることができ、前記回路の占有面積を抑え、またスイッチ段におけるスイッチング動作性能、したがって変換電圧利得G a i nの性能の向上を図ることができる。

【0028】

そして、前記第2の電流源によるバイパス電流の値を、出力3次インターセプトポイントO I P 3と雑音指数N Fとの差の値が最大となるように設定する。前記差の値である新たなパラメータN Pは、前記変換電圧利得G a i nおよび入力3次インターセプトポイントI I P 3とともに、前記雑音指数N Fをバランス良く設定できる指標として新たに導入するものである。これによって、入力3次インターセプトポイントI I P 3を大きく低下させることなく、変換電圧利得G a i nを改善し、雑音指数N Fの低下も抑えることができる。これによって、ミキサ本来の性能を充分に発揮させ、効率の良い設計を行うことができる。

【0029】

さらにまた、本発明のミキサ回路は、前記第2の信号の強度を検出し、該第2の信号の強度の変化に対して前記スイッチ段の電流切替え動作が確実になるように前記第2の電流源によるバイパス電流の値を制御する制御手段をさらに備えることを特徴とする。

【0030】

上記の構成によれば、第2の信号の強度が変化すると、該スイッチ段の動作電流が変化し、前記出力3次インターセプトポイントO I P 3およびパラメータN Pが最大となるバイパス電流の値も変化するので、制御手段が前記第2の信号の強度に適応して、バイパス電流の値をダイナミックに制御することによって、前記第2の信号の強度の変化をモニタし、常にミキサの性能を最大にする安定した制御が可能となる。

【0031】

また、本発明のミキサ回路は、前記スイッチ段を構成するトランジスタによる電流切替えスイッチ動作において、O F F動作が完全となる振幅電圧と前記第2の信号の振幅を略等しく設定することを特徴とする。

【0032】

上記の構成によれば、スイッチ段を構成するトランジスタによる電流切替えスイッチ動作において、スイッチを完全にO F Fできる振幅電圧をV r e fとすると、前記第2の信号の振幅V L Oが、 $V_{ref} \leq V_{LO}$ という関係が成立する、スイッチとして完全にO F Fすることができる。そこで、上述のようにO F F動作が完全となる振幅電圧と前記第2の信号の振幅とを略等しく設定す

ることで、変換電圧利得G a i nを増加することができる。

【0033】

さらにまた、本発明のミキサ回路は、前記増幅段が、差動対を構成する一対の第1および第2のトランジスタから成り、前記スイッチ段が、差動対を構成する2対の第3および第4のトランジスタと第5および第6のトランジスタとが交差接続されて成るダブルバランス形のミキサ回路であり、前記第1の信号のバランス入力が前記第

- 10 1および第2のトランジスタのゲートにそれぞれ与えられ、前記第2の信号のバランス入力が前記第3および第6のトランジスタのゲートならびに前記第4および第5のトランジスタのゲートにそれぞれ与えられ、前記第3および第5のトランジスタのドレインならびに前記第4および第6のトランジスタのドレインは、それぞれ出力負荷を介してハイレベルの電源に接続されるとともに、出力信号のバランス出力端となり、前記第1および第2のトランジスタのソースは、それぞれ第1および第2の定電流源を介してローレベルの電源に接続されており、
- 20 また前記第1および第2のトランジスタのソース間にはインピーダンス素子が接続され、前記第1および第2のトランジスタのドレイン、すなわち増幅段とスイッチ段との接続部に、第3および第4の定電流源をそれぞれ介して、ハイレベルの電源からバイパス電流が供給されることを特徴とする。

【0034】

上記の構成によれば、前記ギルバートセル型で、ダブルバランス型のミキサ回路を構成することができる。

【0035】

- 30 また、本発明のミキサ回路は、前記第2の定電流源を、トランジスタで構成することを特徴とする。

【0036】

上記の構成によれば、スイッチ段に流れる電流を調整可能なミキサ回路を実現することができる。

【0037】

さらにまた、本発明のミキサ回路は、前記トランジスタを、カスコード接続で構成することを特徴とする。

【0038】

- 40 上記の構成によれば、前記第2の定電流源を複数のトランジスタをカスコード接続することで構成するので、より精度の高いバイパス電流制御が可能となる。

【0039】

また、本発明のミキサ回路は、半導体集積回路上で、前記スイッチ段を構成する第3～第6のトランジスタのチャネル幅をそれぞれ最小単位に並列分割し、入れ子状に連鎖結合した構造に形成することを特徴とする。

【0040】

上記の構成によれば、ダブルバランス型のミキサ回路において、スイッチ段を構成する第3～第6のトランジスタが幾何学的に対称となるようにレイアウトを工夫す

る。

【0041】

したがって、素子特性の偏差を抑制するとともに、チップ面積の縮小が可能となってコストを抑えることもできる。

【0042】

さらにまた、本発明のミキサ回路は、前記インピーダンス素子を、直列に等分割されて、前記第1およびおよび第2のトランジスタに対して幾何学的に対称配置されるインダクタとすることを特徴とする。

【0043】

上記の構成によれば、ダブルバランス型のミキサ回路において、半導体集積回路上で、入力インピーダンス整合および線形性の向上のために、前記増幅段を構成する第1および第2のトランジスタのソース間に設けられる前記インピーダンス素子をインダクタで実現し、かつそのインダクタを直列に等分割して特性を揃え、さらに前記第1およびおよび第2のトランジスタに対して幾何学的に対称な配置とする。

【0044】

したがって、温度変化や電源電圧の変動に関わらず、前記第1の定電流源による直流バイアスを安定させることができる。

【0045】

また、本発明のミキサ回路は、前記第1の定電流源と、第2の定電流源との電流値を略等しく設定することを特徴とする。

【0046】

上記の構成によれば、前記第1の定電流源を流れる電流値と、第2の定電流源を流れる電流値とが等しくなる程、前記入力インピーダンス整合および線形性の向上のために設けられるインピーダンス素子に常時流れる直流電流が少なくなる。一方、該インピーダンス素子がインダクタで構成される場合、該インピーダンス素子を流れる電流が少なくなれば、温度変化や電源電圧の変動などに関わらず、マイグレーションに対する安全性も更に高まる。

【0047】

したがって、前記のように第1の定電流源および第2の定電流源の電流値を略等しく設定することで、変換電圧利得G_{a i n}の低下および電源電圧の不足を回避することができるとともに、該インピーダンス素子をインダクタで実現した場合にはその配線幅を狭くする等、該インピーダンス素子の占有面積を縮小化することもできる。

【0048】

さらにまた、本発明のミキサ回路は、前記第1の定電流源を第7および第8のトランジスタで構成し、該第7および第8のトランジスタを、半導体集積回路上で、対応する第1および第2のトランジスタに対して、開脚状に折返して配置することを特徴とする。

【0049】

上記の構成によれば、前記第1の定電流源を第7および第8のトランジスタで構成し、第1および第2のトランジスタのソースがドレンにそれぞれ接続されるその第7および第8のトランジスタを対応する第1および第2のトランジスタに対して一直線上に配置するのではなく、開脚状に折り返して配置する。

【0050】

したがって、前記第1および第2のトランジスタのゲートに与えられる第1の信号の信号線と他の信号の信号線との交差を回避することができる。

【0051】

また、本発明のミキサ回路は、前記第1および第2のトランジスタのゲートに接続される前記第1の信号の一対の信号線を、他方の第2および第1のトランジスタのドレン配線上に積層配置することを特徴とする。

【0052】

上記の構成によれば、一般に、バランス入力である前記第1の信号の入力によって、第1および第2のトランジスタのゲート、したがって第1の信号の信号線と、他方の第2および第1のトランジスタのドレン配線とに、同相の信号が流れることになる。一方、ドレンに現れる信号は、トランジスタの非線形性によって歪まっている。

【0053】

したがって、上述のように一対の第1の信号の信号線を他方のトランジスタのドレン配線上に積層配置することで、2つの信号配線の容量結合によって、前記ドレン配線上の信号の歪を打消す効果を得ることができ、線形性を向上することができる。また、配線間の寄生容量を利用することで、素子の占有面積の増加を抑え、かつバラツキも少なく、これによって入出力特性の線形性が良好となり、電気的特性の安定化を図ることもできる。

【0054】

さらにまた、本発明のミキサ回路は、前記増幅段が、第1のトランジスタから成り、前記スイッチ段が、差動対を構成する一対の第2および第3のトランジスタから成るシングルバランス形のミキサ回路であり、前記第1の信号のシングル入力が前記第1のトランジスタのゲートに与えられ、前記第2および第3のトランジスタのゲートに与えられ、前記第2および第3のトランジスタのドレンは、それぞれ出力負荷を介してハイレベルの電源に接続されるとともに、出力信号のバランス出力端となり、前記第1のトランジスタのソースは、第1の定電流源を介してローレベルの電源に接続されており、前記第1のトランジスタのドレン、すなわち増幅段とスイッチ段との接続部に、第2の定電流源を介して、ハイレベルの電源からバイパス電流が供給されることを特徴とする。

【0055】

上記の構成によれば、前記ギルバートセル型で、シングルバランス型のミキサ回路を構成することができる。そして、シングル入力であるので、トランジスタ等の部品数を削減した低コストなチューナの実現に非常に有効である。

【0056】

【発明の実施の形態】

本発明の実施の第1の形態について、図1～図6に基づいて説明すれば、以下のとおりである。

【0057】

図1は、本発明の実施の第1の形態のミキサ回路31の電気的構成を示すブロック図である。このミキサ回路31は、一対のNMOSトランジスタM1, M2から成る増幅段32と、2対のNMOSトランジスタM3, M4; M5, M6が交差接続されて成る前記スイッチ段33とを直列に接続したダブルバランス形のミキサ回路である。したがって、高周波信号RFのバランス入力が前記NMOSトランジスタM1, M2のゲートにそれぞれ与えられ、ローカル信号LOのバランス入力が前記NMOSトランジスタM3, M6のゲートおよびNMOSトランジスタM4, M5のゲートにそれぞれ与えられる。NMOSトランジスタM3, M5のドレンは、出力負荷34, 35を介してハイレベルの電源にそれぞれ接続されるとともに、中間周波信号IFのバランス出力端となる。前記NMOSトランジスタM1, M2のソースは、それぞれ第1および第2の定電流源F1, F2を介してローレベルの電源に接続されており、また前記NMOSトランジスタM1, M2のソース間に前記線形性の向上および変換電圧利得の低下を回避するために、インピーダンス素子36が接続されている。また、前記NMOSトランジスタM1, M2のドレン、すなわち増幅段32とスイッチ段33との接続部に、第3および第4の定電流源F3, F4をそれぞれ介して、ハイレベルの電源からバイパス電流が供給される。

【0058】

前記ローカル信号LOは、該ミキサ回路31と同一の半導体集積回路上に形成されるVCO (Voltage Controlled Oscillator) から受けることになる。また、前記高周波信号RFは、広帯域の入力信号を受けることになる。これらの設定によって、NMOSトランジスタM3, M4から成る差動対およびNMOSトランジスタM5, M6から成る差動対はローカル信号LOに応じてNMOSトランジスタM3, M5とNMOSトランジスタM4, M6とが、それぞれ同期スイッチとしてスイッチング動作して、高周波信号RFとローカル信号LOとの2つの信号を混合し、積として中間周波信号IFを出力する。以上の構成は、前記図18で示すミキサ回路21を、NMOSトランジスタで構成したものと同様である。

【0059】

このように構成されるミキサ回路31において、定電流源F1, F2および定電流源F3, F4の電流値はそれぞれ相互に等しく、また出力負荷34, 35のインピーダンスの値も相互に等しい。これらの電流値およびインピーダンスは、前述のようにインピーダンス素子36によって入出力特性の線形性を改善した上で、所望の変換電圧利得Gainが得られるようそれぞれ設定される。この際、該変換電圧利得Gainの周波数特性の劣化は、インピーダンス素子36に起因する。したがって、取扱う高周波信号RFの周波数帯域、たとえば50MHz～1GHzにおいて、周波数特性の良い変換電圧利得Gainを得るためにには、該インピーダンス素子36のインピーダンスを小さく設定する必要がある。

【0060】

このように構成することで、増幅段32とスイッチ段33との動作電流を独立に制御し、増幅段32のNMOSトランジスタM1, M2を飽和領域で動作させることができ、前記回路の占有面積を抑え、またスイッチ段33におけるスイッチング動作性能、したがって変換電圧利得Gainの性能の向上が図られている。

【0061】

図2および図3に、前記第2の定電流源F3, F4を用いない場合と、用いた場合とのスイッチ段33におけるNMOSトランジスタM3～M6のドレン電流Idsの比較結果を示す。図2は、前記スイッチ段33を構成する1つのNMOSトランジスタのVgs-Ids(ゲート・ソース間電圧-ドレン電流)特性を示し、参照符 α_1 が前記定電流源F3, F4によるバイパス電流がない状態（したがって、前記図17の回路に相当）を示し、参照符 α_2 が前記定電流源F3, F4によるバイパス電流がある本発明の状態（図1に相当）を示す。

【0062】

図2の例では、ローカル信号LOは増幅段32のNMOSトランジスタM1, M2を飽和領域で動作させるバイアス電圧Vref（ここでは2.8V）を中心に振幅VLLO（ここでは0.3V）で変化している。スイッチ段33段における変換電圧利得Gainは、理想入力である方形波に近い程、大きくなる。

【0063】

そして、前記バイパス電流によって動作電流を低減された方が、より確実なOFF領域の動作を実現できることが理解される。すなわち、スイッチ段33を構成するNMOSトランジスタM3～M6の電流切替えスイッチ動作において、スイッチを完全にOFFできる振幅電圧をVrefとすると、ローカル信号LOの振幅VLLOが、 $Vref \leq VLLO$ という関係が成立立つ時、スイッチとして完全にOFFすることができる。ここで、ローカル信号LOの振幅VLLOが増加する程、スイッチ特性が向上するので、変換電圧利得Gainは増加することにな

る。一方、入力3次インターセプトポイントIIP3は、 $V_{ref} = VLO$ を境に、急激に劣化する。つまりミキサの性能を示す出力3次インターセプトポイントOIP3および雑音指数NFが最大となるのは、近似的に $V_{ref} \approx VLO$ の関係が成り立つ時である。

【0064】

そこで、このミキサ回路31では、ローカル信号LOの振幅VLOを、スイッチを完全にOFFできる振幅電圧 V_{ref} と略等しく設定する。これによって、前記変換電圧利得Gainを増加することができる。

【0065】

図3は、あるサンプル時間におけるスイッチ段33のNMOSトランジスタM3～M6のドレイン電流Idsの過渡解析結果を示している。この図3からは、バイパス電流Ipathが大きい程、スイッチ段33のNMOSトランジスタM3～M6に流れる電流が小さく、OFF動作時間がより長くなり、理想入力である方形波に近付くことが理解される。こうして、図2と同様に、バイパス電流Ipathによってスイッチ段33に流れる電流を減らす場合の方が、より確実なOFF領域の動作を実現でき、スイッチ段33のスイッチング性能を向上し、変換電圧利得Gainを向上することができる。

【0066】

注目すべきは、このミキサ回路31では、前記バイパス電流Ipathが、出力3次インターセプトポイントOIP3が最大となるように設定されていることである。図4は、上述のように構成されるミキサ回路31の具体的構成を示す電気回路図である。この図4の構成では、図1におけるインピーダンス素子34, 35, 36を、それぞれインダクタL1, L2, L3で構成し、定電流源F1, F2を、それぞれNMOSトランジスタM7, M8で構成し、定電流源F3, F4を、それぞれPMOSトランジスタM9, M10で構成している。

【0067】

このように構成することで、増幅段32から見ると、定電流源F3, F4を構成するPMOSトランジスタM9, M10の方が、スイッチ段33のNMOSトランジスタM1, M2よりもインピーダンスが高いので、高周波信号RFはほぼ全てスイッチ段33に伝わることになる。つまりPMOSトランジスタM9, M10で構成する電流バスは、単に直流の定電流源F3, F4を実現するに過ぎない。

【0068】

NMOSトランジスタM7, M8は、前述のように相互に等しい定電流が得られるように、相互に等しい素子面積に形成され、かつそのゲートには、共通にバイアス電圧Vb1が与えられる。同様に、PMOSトランジスタM9, M10も、前述のように相互に等しい定電流が得られるように、相互に等しい素子面積に形成され、かつそのゲートには、共通にバイアス電圧Va1が与えられ

る。また、前記出力負荷34, 35のインピーダンスの値も相互に等しくなるように、インダクタL1, L2のインダクタンスも相互に等しく設定される。前記バイアス電圧Va1, Vb1およびインダクタL1, L2のインダクタンスは、前述のようにインダクタL3によって入出力特性の線形性を改善した上で、所望の変換電圧利得Gainが得られるようにそれぞれ設定される。

【0069】

その後、このミキサ回路31では、前述のように出力3次インターセプトポイントOIP3が最大となるバイパス電流Ipathが得られるように、前記バイアス電圧Va1がさらに設定される。図5は、ミキサの全電流、すなわち増幅段32のNMOSトランジスタM1, M2を流れる電流を80mAの一定値として、バイパス電流Ipathを変化させた場合における前記変換電圧利得Gain、入力3次インターセプトポイントIIP3、出力3次インターセプトポイントOIP3および雑音指数NFをプロットして示すグラフである。

【0070】

20 前記バイパス電流Ipathが増加するにつれ、スイッチ段33のOFF領域の動作が確実となり、変換電圧利得Gainが増加する。この図5では、変換電圧利得Gainは、バイパス電流Ipathが60mAでピークとなり、これに対して入力3次インターセプトポイントIIP3は、バイパス電流Ipathが20mAでピークとなっている。したがって、2つのピークが異なっているので、前記特開2000-59147号のように、入力3次インターセプトポイントIIP3のピークのみを優先してバイパス電流Ipathを決定することは、30 多少なりとも変換電圧利得Gainを犠牲にすることになり、それに伴って雑音指数NFが低下してしまう。

【0071】

そこで、このミキサ回路31では、前記出力3次インターセプトポイントOIP3を、変換電圧利得Gainと入力3次インターセプトポイントIIP3とをバランス良く設定できる指標として導入するものである。図5では、バイパス電流Ipathが30mAのときに該出力3次インターセプトポイントOIP3の値はピークとなっており、このとき、ミキサの性能がピークに到達したとみなし、そのときの電流量にバイパス電流Ipathの値を設定する。

【0072】

これによって、入力3次インターセプトポイントIIP3を大きく低下させることなく、前記変換電圧利得Gainを改善し、雑音指数NFの低下が抑えられていることが理解される。また、バイパス電流Ipathが0mAである従来の図17の構成に比べて、前記30mAで出力3次インターセプトポイントOIP3が2.6dBm程度向上している。こうして、ミキサ本来の性能を充分に発揮させ、効率の良い設計を行なうことができる。

【0073】

ここで、前記図2を参照して、横軸に示すローカル信号LOの振幅VLLOが小さくなると、前述のように波形の最小値が0mAに到達できず、OFF動作が不完全となる。しかしながら、前記入力3次インターセプトポイントOIP3のメカニズムに関しては、未だ明確に示している文献が乏しいのが現状ではあるが、シミュレーションにおける入力3次インターセプトポイントOIP3は、スイッチが完全なOFF動作を実現した状態を境に急激に劣化する。

【0074】

したがって、ローカル信号LOの強度によって出力3次インターセプトポイントOIP3が最大となるバイパス電流Ipathの値がそれぞれ存在することになる。つまり、前記図5で示すような出力3次インターセプトポイントOIP3の特性は、ローカル信号LOの強度毎に異なったものとなり、さらに詳しく説明すると、強度が大きい（小さい）時は振幅が大きい（小さい）のでスイッチング特性が向上し（劣化し）、バイパス電流Ipathの値は少なく（多く）なる。このため、前記バイパス電流Ipathの値は、前記VCOからスイッチ段33のNMOSトランジスタM3～M6へ与えられるローカル信号LOの強度に応じて、そのローカル信号LOの強度で出力3次インターセプトポイントOIP3が最大となるように設定される。

【0075】

また、この出力3次インターセプトポイントOIP3と同様に、前記変換電圧利得Gain、雑音指數NFおよび入力3次インターセプトポイントIIP3を最もバランス良く設定する指標として、新たなパラメータNP（New Parameter）を導入してもよい。このパラメータNPは、OIP3-NFで求められる。

【0076】

図6に、前記出力3次インターセプトポイントOIP3、雑音指數NFおよびパラメータNPをプロットして示す。雑音指數NFは、上述の説明から明らかかなように、小さい程良い。したがって、前記パラメータNPは、雑音指數NFが悪く（値が大きく）なる程、適切でない状態になり、該パラメータNPは劣化する。この図6の場合、前記バイパス電流Ipathの値は、30mAとなる。このようにして、前記パラメータNPを導入することで、出力3次インターセプトポイントOIP3や雑音指數NFを個別に評価しただけでは判断することが難しい、適切なバイパス電流Ipathの値を見出すことができる。

【0077】

本発明の実施の第2の形態について、図7に基づいて説明すれば、以下のとおりである。

【0078】

図7は、本発明の実施の第2の形態のミキサ回路41の

電気的構成を示すブロック図である。このミキサ回路41は、前述の図4で示すミキサ回路31に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、このミキサ回路41では、前記図1で示すミキサ回路31における定電流源F3、F4が、カスコード接続される2段のPMOSトランジスタM9、M9a；M10、M10aで構成されることである。前記PMOSトランジスタM9、M10のゲートには、共通に前記バイアス電圧Va1が与えられ、追加されたPMOSトランジスタM9a、M10aのゲートには、共通にバイアス電圧Va2が与えられる。これらのバイアス電圧Va1、Va2は、規定のレベルのローカル信号LOが入力された状態で、前記出力3次インターセプトポイントOIP3またはパラメータNPが最大となるように設定される。

【0079】

このように、定電流源F3、F4をトランジスタで構成することで、スイッチ段33に流れる電流を調整可能にし、さらにそのトランジスタを、カスコード接続された2段のPMOSトランジスタM9、M9a；M10、M10aで構成することによって、前記バイパス電流Ipathの制御精度を向上することができる。

【0080】

本発明の実施の第3の形態について、図8に基づいて説明すれば、以下のとおりである。

【0081】

図8は、本発明の実施の第3の形態のミキサ回路51の電気的構成を示すブロック図である。このミキサ回路51は、前述の図1で示すミキサ回路31に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、高周波信号RFが、前述の図1で示すミキサ回路31ではバランス入力であるのに対して、このミキサ回路51ではシングル入力となっていることである。これに対応して、増幅段32は前記高周波信号RFがゲートに入力されるNMOSトランジスタM11から構成され、スイッチ段33はバランス入力の前記ローカル信号LOがゲートにそれぞれ入力されるNMOSトランジスタM12、M13から構成されている。

【0082】

前記NMOSトランジスタM11のソースは第1の定電流源F11を介してローレベルの電源に接続されており、ドレインには前記NMOSトランジスタM12、M13のソースが接続される。前記NMOSトランジスタM12、M13のドレインは前記出力負荷34、35を介してハイレベルの電源にそれぞれ接続されるとともに、中間周波信号IFのバランス出力端となる。また、前記NMOSトランジスタM11のドレイン、すなわち増幅段32とスイッチ段33との接続部に、第2の定電流源F12を介して、ハイレベルの電源からバイパス電流が供給される。これによって、シングル入力である高

周波信号RFを受け、バランス入力を持つローカル信号LOとの積を計算し、中間周波信号IFを生成することができる。

【0083】

このように構成し、前記定電流源F12からのバイパス電流Ipathを前述のように出力3次インターセプトポイントOIP3またはパラメータNPが最大となるよう設定することで、シングルバランスミキサにおいても、ミキサ本来の性能を充分に発揮させ、効率の良い設計を行うことができる。

【0084】

本発明の実施の第4の形態について、図9に基づいて説明すれば、以下のとおりである。

【0085】

図9は、本発明の実施の第4の形態のミキサ回路61の電気的構成を示すブロック図である。このミキサ回路61は、前述の図1で示すミキサ回路31に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、前述の図1で示すミキサ回路31はMOSトランジスタ構成であるのに対して、このミキサ回路51ではバイポーラトランジスタ構成となっていることである。したがって、前記図18で示す従来のミキサ回路21にも類似している。

【0086】

したがって、前記増幅段32は一対のN型トランジスタQ1, Q2から成り、前記スイッチ段33は2対のN型トランジスタQ3, Q4; Q5, Q6から構成される。高周波信号RFのバランス入力が前記トランジスタQ1, Q2のベースにそれぞれ与えられ、ローカル信号LOのバランス入力が前記トランジスタQ3, Q6のベースおよびトランジスタQ4, Q5のベースにそれぞれ与えられる。トランジスタQ3, Q5のコレクタおよびトランジスタQ4, Q6のコレクタは、出力負荷34, 35を介してハイレベルの電源にそれぞれ接続されるとともに、中間周波信号IFのバランス出力端となる。前記トランジスタQ1, Q2のエミッタは、それぞれ第1および第2の定電流源F21, F22を介してローレベルの電源に接続されており、また前記トランジスタQ1, Q2のエミッタ間には前記線形性の向上および変換電圧利得の低下を回避するために、インピーダンス素子36が接続されている。

【0087】

また、前記トランジスタQ1, Q2のコレクタ、すなわち増幅段32とスイッチ段33との接続部に、第3および第4の定電流源F23, F24を介して、ハイレベルの電源からバイパス電流Ipathが供給される。この定電流源F23, F24からのバイパス電流Ipathを、前述のように出力3次インターセプトポイントOIP3またはパラメータNPが最大となるように設定する。

【0088】

このようにして、バイポーラトランジスタの構成であっても、ミキサ本来の性能を充分に発揮させ、効率の良い設計を行うことができる。なお、バイポーラトランジスタ構成とすることで、ローカル信号LOおよび高周波信号RFはそれぞれ電流入力型になり、それ以外は図1に示したミキサ回路31と基本的に同様に作用する。また、定電流源F21, F22も、バイポーラトランジスタを用いて構成することができ、その場合にチップ上の同一エリアにレイアウトすることによって、その占有面積の拡大を回避することができる。また、上述のMOSトランジスタの場合と同様に、対を成すトランジスタQ1, Q2; Q3, Q4; Q5, Q6の電流特性を揃えることができる。

【0089】

本発明の実施の第5の形態について、図10～図15に基づいて説明すれば、以下のとおりである。

【0090】

図10は、本発明の実施の第5の形態のミキサ回路71の電気的構成を示すブロック図である。このミキサ回路71は、前述の図7で示すミキサ回路41に類似し、対応する部分には同一の参照符号を付して、その説明を省略する。注目すべきは、このミキサ回路71では、制御回路72によってローカル信号LOのピーク強度を検出し、その検出結果に応じて、前記第3および第4の定電流源を構成するカスコード接続された2段のPMOSトランジスタM9, M9a; M10, M10aのバイアス電圧Va1, Va2を、前記出力3次インターセプトポイントOIP3またはパラメータNPが最大となるように、ダイナミックに制御することである。これによって、ローカル信号LOの強度の変化をモニタし、常にミキサの性能を最大にする安定した制御が可能となる。

【0091】

また、このミキサ回路71では、前記特開2001-127555号で提案されているのと同様に、高周波信号RFの入力端子を、該高周波信号RFが入力される差動対の対面に相当するNMOSトランジスタのドレイン部に、キャパシタCp1, Cp2等で交差接続し、線形性を向上している。しかしながら、このような構成は、ミキサ回路全体の占有面積がさらに増大することになり、ばらつきの要因となる他、広帯域の入力に対し周波数特性等が悪化することになるので、大幅な性能向上に至らない。したがって、このミキサ回路71で注目すべきは、以下に説明するように、前記キャパシタCp1, Cp2をレイアウト上でコンパクトに実装していることである。

【0092】

さらにまた、集積回路の製造が、集積回路全体で一様な条件の下で行われないために、ミキサを構成する素子を、たとえ全く同じサイズで集積回路上に形成しても、

集積回路上の配置の違いによって特性が異なってくることがある。そこでこのミキサ回路71では、このような素子特性の偏差も極力避けるために、以下に説明するように、幾何学的に対称となるようにレイアウトを工夫している。

【0093】

先ず、スイッチ段33のNMOSトランジスタM3～M6のレイアウトについて、図11～図13を用いて説明する。前記の集積回路上の配置の違いによる特性誤差を極力回避するために、先ずNMOSトランジスタM3, M4; M5, M6の差動対に関しては、半導体集積回路上でトランジスタのチャネル幅Wをそれぞれ最小単位 α に並列分割し、入れ子状に連鎖結合した構造を用いる。

【0094】

具体的には、図11で示すNMOSトランジスタM3, M4; M5, M6を、図12で示すような配列図で表現する。この図12では、チャネル幅W'をそれぞれ前記最小単位 α としている。この図12の例では、NMOSトランジスタM3, M4; M5, M6の並列数は2であるので、該NMOSトランジスタM3, M4; M5, M6それぞれの実質的なチャネル幅Wは 2α となる。そして、図13で示すように、この最小チャネル幅(W' = α)の8つのNMOSトランジスタM31, M51; M61, M41; M32, M52; M62, M42を、入れ子状に配列し、並列接続する。

【0095】

これによって、前記素子特性の偏差を抑制するとともに、チップ面積の縮小が可能となってコストを抑えることもできる。また、この図13で示すレイアウトの特徴は、ゲート・ソース・ドレインの重心が一致するようにトランジスタを配置していることにある。

【0096】

一方、図14には、前記第1の定電流源を構成するNMOSトランジスタM7, M8のレイアウトを示す。これらのNMOSトランジスタM7, M8は、半導体集積回路上で、増幅段32においてそれぞれに対応するNMOSトランジスタM1, M2に対して、一直線上に配列されるのではなく、開脚状に折返して配置している。これによって、図14で示すように、高周波信号RFの配線を、他配線と交差することなく、直接該増幅段32のNMOSトランジスタM1, M2ゲートに与えることができる。

【0097】

さらにまた、この図14では、インダクタL3を、L3aとL3bとに直列に等分割し、特性を揃えている。このように幾何学的に対称な配置とすることで、温度変化や電源電圧の変動に関わらず、前記第1の定電流源による直流バイアスを安定させることができる。

【0098】

また、第1の定電流源であるNMOSトランジスタM7

を流れる電流値と、第2の定電流源であるNMOSトランジスタM8を流れる電流値とが略等しくなるように設定されている。これは、両者が等しくなる程、インピーダンス素子としてのインダクタL3に常時流れる直流電流が少なくなり、一方、前記インダクタL3を流れる電流が少なくなれば、温度変化や電源電圧の変動などに関わらず、マイグレーションに対する安全性も更に高まり、その結果、変換電圧利得Gainの低下および電源電圧の不足を回避することができるためである。さらにまた、前記電流値を略等しくすることで、インダクタL3の配線幅を狭くする等、インピーダンス素子の占有面積を縮小化することもできる。

【0099】

さらにまた、この図14では、線形性を向上するため、前記高周波信号RFの入力端子RFIN-, RFIN+を、該高周波信号RFが入力される差動対の対面に相当するNMOSトランジスタM1, M2のドレイン部のNode1, Node2に、キャパシタCp1, Cp2を介して交差接続している。具体的には、図15に示すように、前記高周波信号RFの一対の信号線を、他方のNMOSトランジスタM2, M1のドレイン配線上に積層配置し、それらの配線間に形成される寄生容量によって接続する。この配線間の寄生容量は、メタル層の面積で算出可能であり、変換電圧利得Gainの性能が劣化しない程度の大きさとされる。

【0100】

ここで、一般に、トランジスタのドレイン電圧の変化は、ゲート電圧の変化と逆相である。つまり、差動対において一方のトランジスタのゲートと他方のトランジスタのドレインとは同相となる。前記高周波信号RFは、トランジスタの非線形性によって歪ませて、ドレインに現れるが、上述のようにキャパシタCp1, Cp2を介してドレインに直接入力された信号は全く歪成分を持たない。したがって、Node1, Node2上で、歪を打消す効果を得ることができ、線形性を向上することができる。

【0101】

また、前記キャパシタCp1, Cp2として、配線間の寄生容量を利用することで、素子の占有面積の増加を抑え、かつバラツキも少なく、これによって入出力特性の線形性が良好となり、電気的特性の安定化を図ることもできる。

【0102】

なお、上述のようなキャパシタCp1, Cp2およびトランジスタのレイアウト上の工夫は、上述の各ミキサ回路31, 41, 51, 61についても同様に適用することができる。

【0103】

【発明の効果】

本発明のミキサ回路は、以上のように、スーパーへテロ

ダイン方式の受信装置などに用いられ、第1および第2の信号を混合して出力するミキサ回路において、電源ライン間に第1の電流源、増幅段、スイッチ段および出力負荷が直列に接続されて構成されるいわゆるギルバートセル型のミキサ回路を構成するにあたって、先ず第2の電流源を設けて、増幅段とスイッチ段との間にバイパス電流を供給し、該増幅段とスイッチ段との動作電流を独立に制御する。これによって、スイッチ段に入力される第2の信号に充分な強度が得られないために該スイッチ段が少ない動作電流で確実にO F F動作を実現するようにも増幅段のトランジスタを飽和領域で動作させることができ、動作電流の増加に伴う各トランジスタサイズの増加という問題を回避でき、前記回路の占有面積を抑え、またスイッチ段におけるスイッチング動作性能、したがって変換電圧利得G a i nの性能の向上を図ることができる。さらに、VCOパッファの寄生負荷を低減することにも貢献し、該ミキサ回路を備えたチューナチップ全体としての低消費電力化に効果を得ることができる。

【0104】

そして、次に前記第2の電流源によるバイパス電流の値を、出力3次インターフェトポイントO I P 3が最大となるように設定する。

【0105】

それゆえ、入力3次インターフェトポイントI I P 3を大きく低下させることなく、変換電圧利得G a i nを改善し、雑音指数N Fの低下を抑えることができる。これによって、ミキサ本来の性能を充分に発揮させ、効率の良い設計を行うことができる。

【0106】

また、本発明のミキサ回路は、以上のように、前記ギルバートセル型のミキサ回路において、第2の電流源を設け、この第2の電流源によるバイパス電流の値を、出力3次インターフェトポイントO I P 3と雑音指数N Fとの差の値が最大となるように設定する。

【0107】

それゆえ、入力3次インターフェトポイントI I P 3を大きく低下させることなく、変換電圧利得G a i nを改善し、雑音指数N Fの低下も抑えることができる。これによって、ミキサ本来の性能を充分に発揮させ、効率の良い設計を行うことができる。

【0108】

さらにまた、本発明のミキサ回路は、以上のように、前記第2の信号の強度が変化すると、スイッチ段の動作電流が変化し、前記出力3次インターフェトポイントO I P 3およびパラメータN Pが最大となるバイパス電流の値も変化するので、制御手段が、この第2の信号の強度に適応して、バイパス電流の値をダイナミックに制御する。

【0109】

それゆえ、前記第2の信号の強度の変化をモニタし、常にミキサの性能を最大にする安定した制御が可能となる。

【0110】

また、本発明のミキサ回路は、以上のように、前記スイッチ段を構成するトランジスタによる電流切替えスイッチ動作において、O F F動作が完全となる振幅電圧と前記第2の信号の振幅を略等しく設定する。

【0111】

10 それゆえ、変換電圧利得G a i nを増加することができる。

【0112】

さらにまた、本発明のミキサ回路は、以上のように、前記増幅段が、差動対を構成する一対の第1および第2のトランジスタから成り、前記スイッチ段が、差動対を構成する2対の第3および第4のトランジスタと第5および第6のトランジスタとが交差接続されて成るダブルバランス形のミキサ回路であり、前記第1の信号のバランス入力が前記第1および第2のトランジスタのゲートに

20 それぞれ与えられ、前記第2の信号のバランス入力が前記第3および第6のトランジスタのゲートならびに前記第4および第5のトランジスタのゲートにそれぞれ与えられ、前記第3および第5のトランジスタのドレインならびに前記第4および第6のトランジスタのドレインは、それぞれ出力負荷を介してハイレベルの電源に接続されるとともに、出力信号のバランス出力端となり、前記第1および第2のトランジスタのソースは、それぞれ第1および第2の定電流源を介してローレベルの電源に接続されており、また前記第1および第2のトランジ

30 タのソース間にインピーダンス素子が接続され、前記第1および第2のトランジスタのドレイン、すなわち増幅段とスイッチ段との接続部に、第3および第4の定電流源をそれぞれ介して、ハイレベルの電源からバイパス電流が供給される。

【0113】

それゆえ、前記ギルバートセル型で、ダブルバランス型のミキサ回路を構成することができる。

【0114】

また、本発明のミキサ回路は、以上のように、前記第3および第4の定電流源を、トランジスタで構成する。

【0115】

それゆえ、スイッチ段に流れる電流を調整可能なミキサ回路を実現することができる。

【0116】

さらにまた、本発明のミキサ回路は、以上のように、前記トランジスタを、カスコード接続で構成する。

【0117】

それゆえ、より精度の高いバイパス電流制御が可能となる。

また、本発明のミキサ回路は、以上のように、半導体集積回路上で、前記スイッチ段を構成する第3～第6のトランジスタのチャネル幅をそれぞれ最小単位に並列分割し、入れ子状に連鎖結合した構造に形成する。

【0119】

それゆえ、スイッチ段を構成する第3～第6のトランジスタが幾何学的に対称となるようにレイアウトされ、素子特性の偏差を回避するとともに、チップ面積の縮小が可能となってコストを抑えることもできる。

【0120】

さらにまた、本発明のミキサ回路は、以上のように、入力インピーダンス整合および線形性の向上のために、前記増幅段を構成する第1および第2のトランジスタのソース間に設けられる前記インピーダンス素子をインダクタで実現し、かつそのインダクタを直列に等分割して特性を揃え、さらに前記第1および第2のトランジスタに対して幾何学的に対称な配置とする。

【0121】

それゆえ、温度変化や電源電圧の変動に関わらず、前記第1の定電流源による直流バイアスを安定させることができる。

【0122】

また、本発明のミキサ回路は、以上のように、前記第1の定電流源および第2の定電流源の電流値を略等しく設定する。

【0123】

それゆえ、変換電圧利得G_{a i n}の低下および電源電圧の不足を回避することができるとともに、前記インピーダンス素子をインダクタで実現した場合にはその配線幅を狭くする等、該インピーダンス素子の占有面積を縮小化することもできる。

【0124】

さらにまた、本発明のミキサ回路は、以上のように、前記第1および第2の定電流源を第7および第8のトランジスタで構成し、第1および第2のトランジスタのソースがドレインにそれぞれ接続されるその第7および第8のトランジスタを対応する第1および第2のトランジスタに対して一直線上に配置するのではなく、開脚状に折り返して配置する。

【0125】

それゆえ、前記第1および第2のトランジスタのゲートに与えられる第1の信号の信号線と他の信号の信号線との交差を回避することができる。

【0126】

また、本発明のミキサ回路は、以上のように、一対の第1の信号の信号線を他方のトランジスタのドレン配線上に積層配置する。

【0127】

それゆえ、積層された2つの信号配線の容量結合によって、前記ドレン配線上の信号の歪を打消す効果を得る

ことができ、線形性を向上することができる。また、配線間の寄生容量を利用することで、素子の占有面積の増加を抑え、かつパラツキも少なく、これによって入出力特性の線形性が良好となり、電気的特性の安定化を図ることもできる。

【0128】

さらにまた、本発明のミキサ回路は、以上のように、前記増幅段が、第1のトランジスタから成り、前記スイッチ段が、差動対を構成する一対の第2および第3のトランジスタから成るシングルバランス形のミキサ回路であり、前記第1の信号のシングル入力が前記第1のトランジスタのゲートに与えられ、前記第2の信号のバランス入力が前記第2および第3のトランジスタのゲートに与えられ、前記第2および第3のトランジスタのドレインは、それぞれ出力負荷を介してハイレベルの電源に接続されるとともに、出力信号のバランス出力端となり、前記第1のトランジスタのソースは、第1の定電流源を介してローレベルの電源に接続されており、前記第1のトランジスタのドレイン、すなわち増幅段とスイッチ段との接続部に、第2の定電流源を介して、ハイレベルの電源からバイパス電流が供給される。

【0129】

それゆえ、前記ギルバートセル型で、シングルバランス型のミキサ回路を構成することができる。そして、シングル入力であるので、トランジスタ等の部品数を削減した低成本なチューナーの実現に非常に有効である。

【図面の簡単な説明】

【図1】本発明の実施の第1の形態のミキサ回路の電気的構成を示すブロック図である。

【図2】ギルバートセル型のミキサ回路においてスイッチ段を構成する1つのNMOSトランジスタのV_{gs}-I_{d s}特性を示すグラフである。

【図3】あるサンプル時間におけるスイッチ段のNMOSトランジスタのドレン電流の過渡解析結果を示すグラフである。

【図4】図1で示すミキサ回路の具体的構成を示す電気回路図である。

【図5】ミキサの全電流を一定値として、バイパス電流を変化させた場合における変換電圧利得G_{a i n}、入力3次インターチェプトポイントIIP3、出力3次インターチェプトポイントOIP3および雑音指數NFをプロットして示すグラフである。

【図6】ミキサの全電流を一定値として、バイパス電流を変化させた場合における出力3次インターチェプトポイントOIP3、雑音指數NFおよびパラメータNPをプロットして示すグラフである。

【図7】本発明の実施の第2の形態のミキサ回路の電気的構成を示すブロック図である。

【図8】本発明の実施の第3の形態のミキサ回路の電気的構成を示すブロック図である。

【図9】本発明の実施の第4の形態のミキサ回路の電気的構成を示すブロック図である。

【図10】本発明の実施の第5の形態のミキサ回路の電気的構成を示すブロック図である。

【図11】図10で示すミキサ回路におけるスイッチ段の回路構造を説明するための図である。

【図12】図10で示すミキサ回路におけるスイッチ段の回路構造を説明するための図である。

【図13】図10で示すミキサ回路におけるスイッチ段の構造を説明するための図である。

【図14】図10で示すミキサ回路において、第1の定

電流源を構成するNMO Sトランジスタのレイアウトを示す図である。

【図15】図10で示すミキサ回路におけるキャパシタの構造を説明するための図である。

【図16】ギルバートセル型の典型的な従来技術のミキサ回路のブロック図である。

【図17】前記ギルバートセル型の他の従来技術のミキサ回路のブロック図である。

10 【図18】前記ギルバートセル型のさらに他の従来技術のミキサ回路のブロック図である。

【符号の説明】

31, 41, 51, 61, 71 ミキサ回路

34, 35 出力負荷

32 増幅段

33 スイッチ段

36 インピーダンス素子

72 制御回路(制御手段)

Cp1, Cp2 キャパシタ

F1, F21 第1の定電流源(第1の電流源)

F2, F22 第2の定電流源(第1の電流源)

F3, F23 第3の定電流源(第2の電流源)

F4, F24 第4の定電流源(第2の電流源)

F11 第1の定電流源(第1の電流源)

F12 第2の定電流源(第2の電流源)

L1, L2, L3 インダクタ

M1 NMOSトランジスタ(第1のトランジスタ)

M2 NMOSトランジスタ(第2のトランジスタ)

M3 NMOSトランジスタ(第3のトランジスタ)

M4 NMOSトランジスタ(第4のトランジスタ)

M5 NMOSトランジスタ(第5のトランジスタ)

M6 NMOSトランジスタ(第6のトランジスタ)

M7 NMOSトランジスタ(第7のトランジスタ)

M8 NMOSトランジスタ(第8のトランジスタ)

M9, M9a; M10, M10a PMOSトランジスタ

M31, M51; M61, M41; M32, M52; M62, M42

NMOSトランジスタ

Q1 N型トランジスタ(第1のトランジスタ)

Q2 N型トランジスタ(第2のトランジスタ)

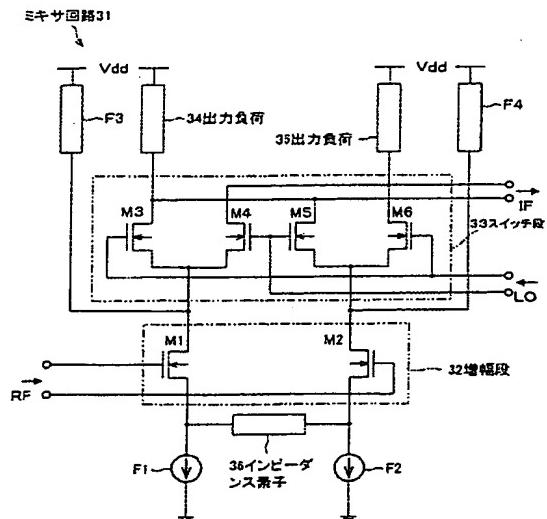
Q3 N型トランジスタ(第3のトランジスタ)

Q4 N型トランジスタ(第4のトランジスタ)

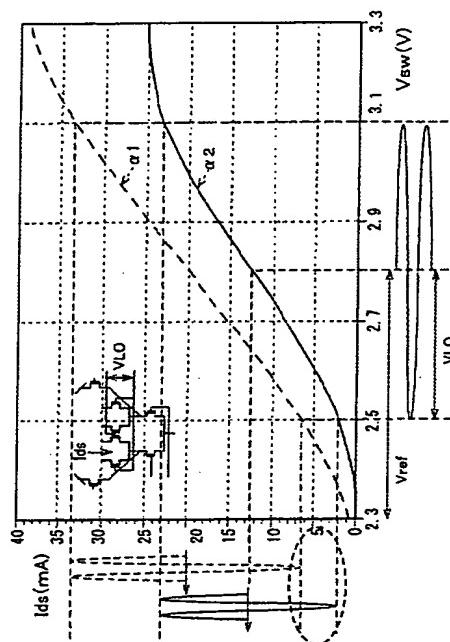
Q5 N型トランジスタ(第5のトランジスタ)

Q6 N型トランジスタ(第6のトランジスタ)

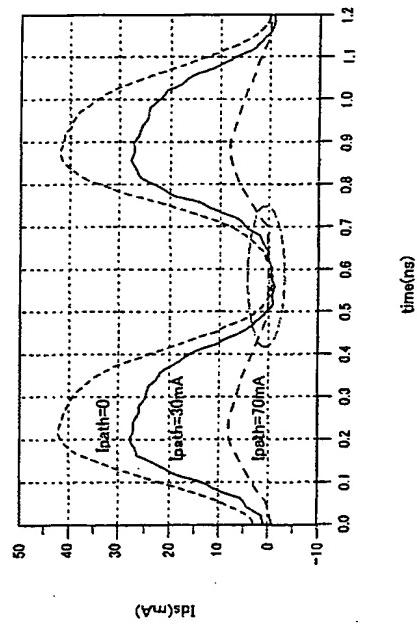
【図1】



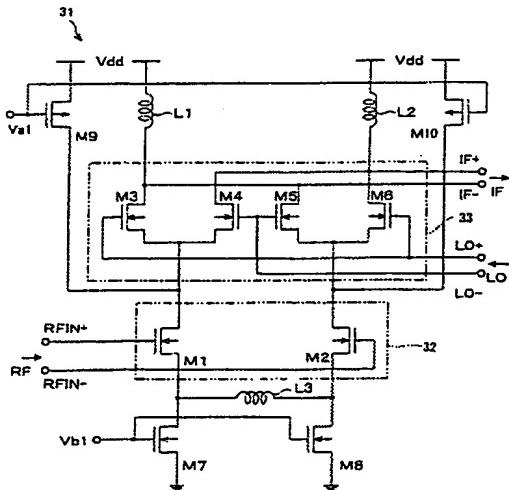
[図2]



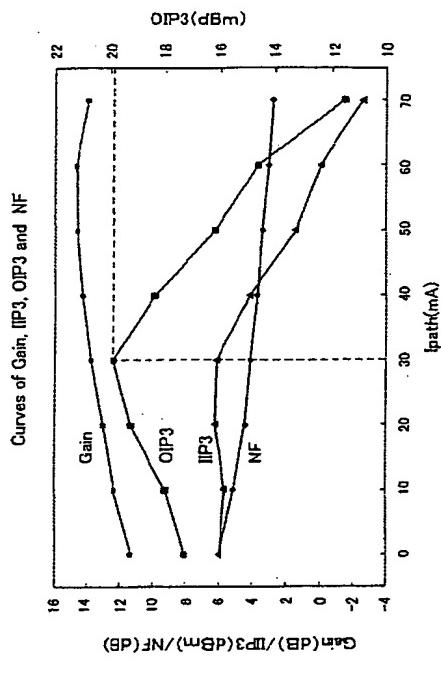
【図3】



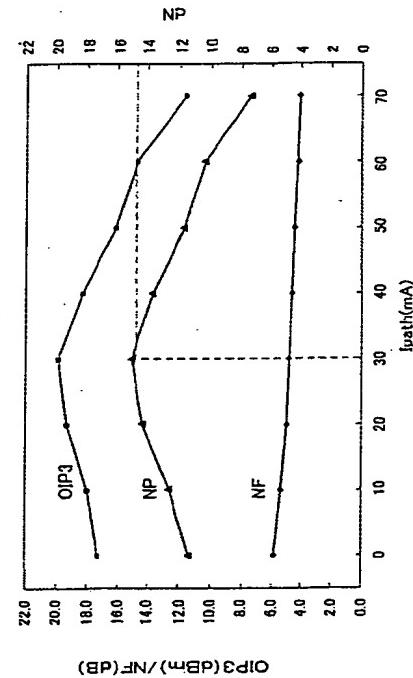
【図4】



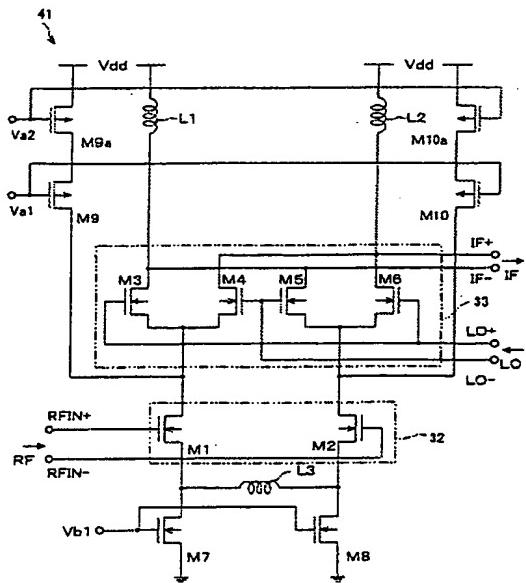
[图 5]



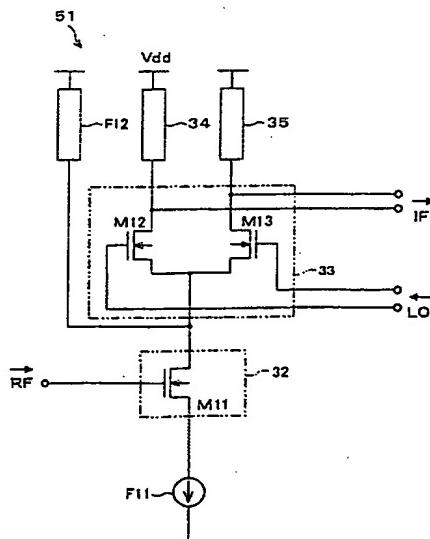
[図 6]



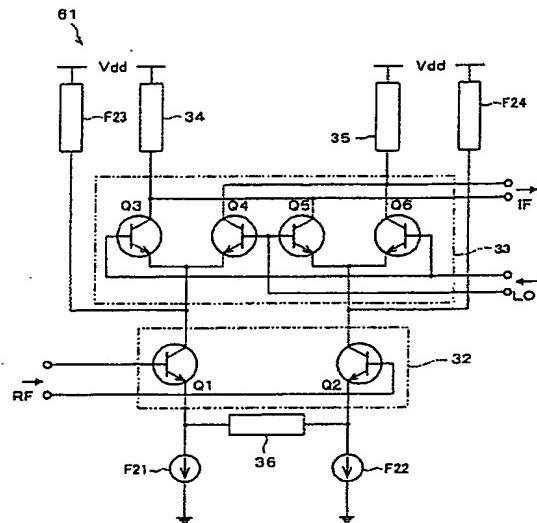
[図7]



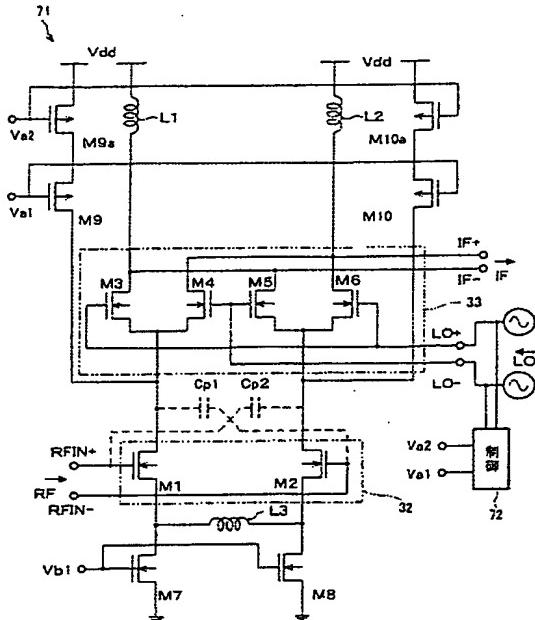
[図8]



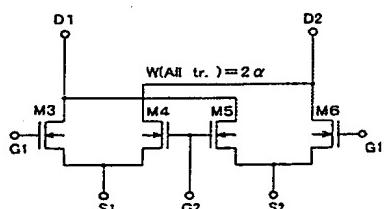
【図9】



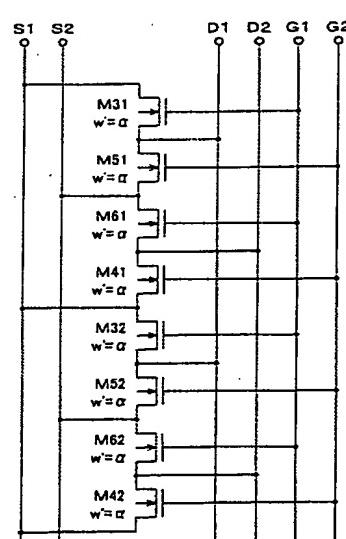
【図10】



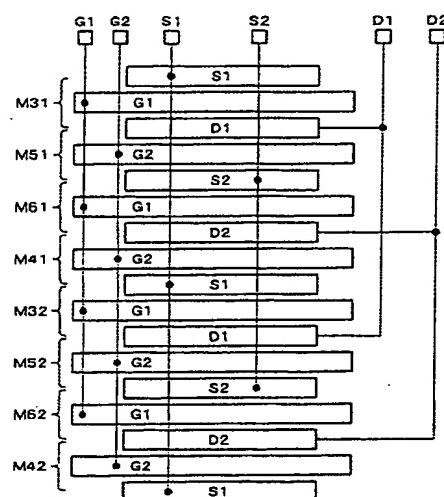
【図11】



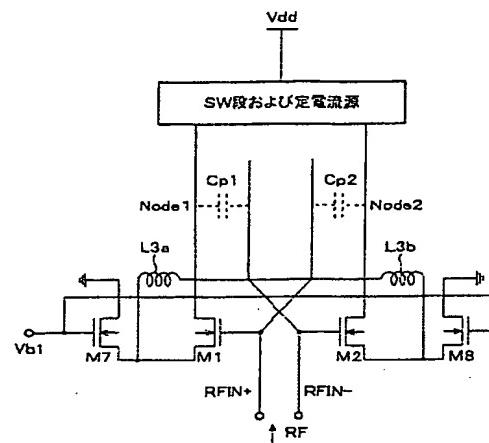
【図12】



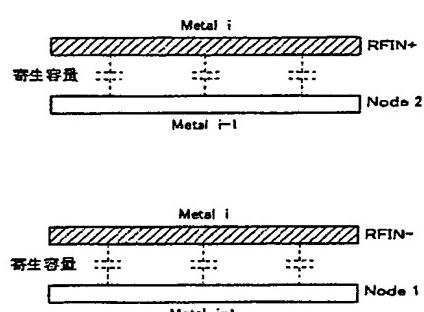
【図13】



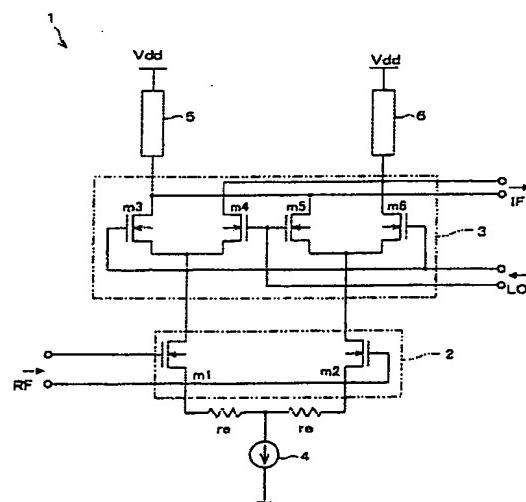
【図14】



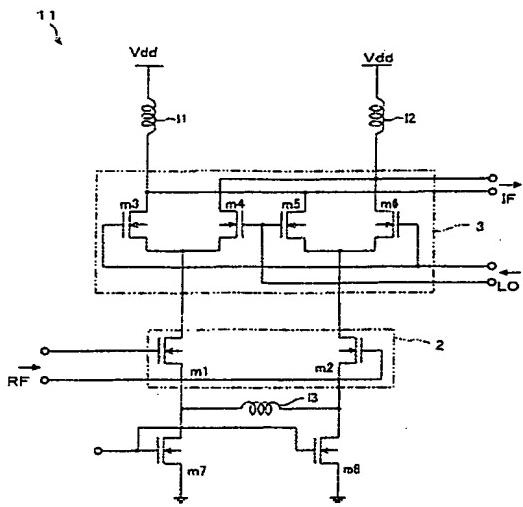
【図15】



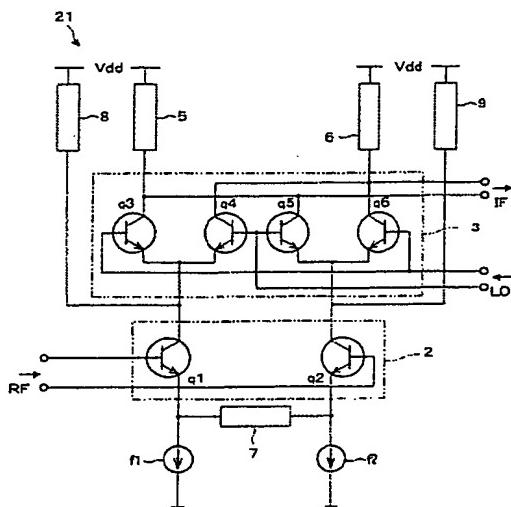
【図16】



【図17】



【図18】



フロントページの続き

(72)発明者 宮本 雅之

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 須山 尚宏

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 山之上 雅文

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 満仲 健

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72)発明者 秋山 利文

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.